

# Compito A

## Esercizio 1. (6 punti)

Si descriva il funzionamento di un registro a caricamento seriale (shift register) con possibilità di slittamento (shift) a destra e a sinistra. Il registro ha quindi, oltre ad un input seriale, due segnali di controllo, *shift-left* e *shift-right*, NON contemporaneamente attivi, che causano, rispettivamente, lo scorrimento dell'informazione a sinistra o a destra.

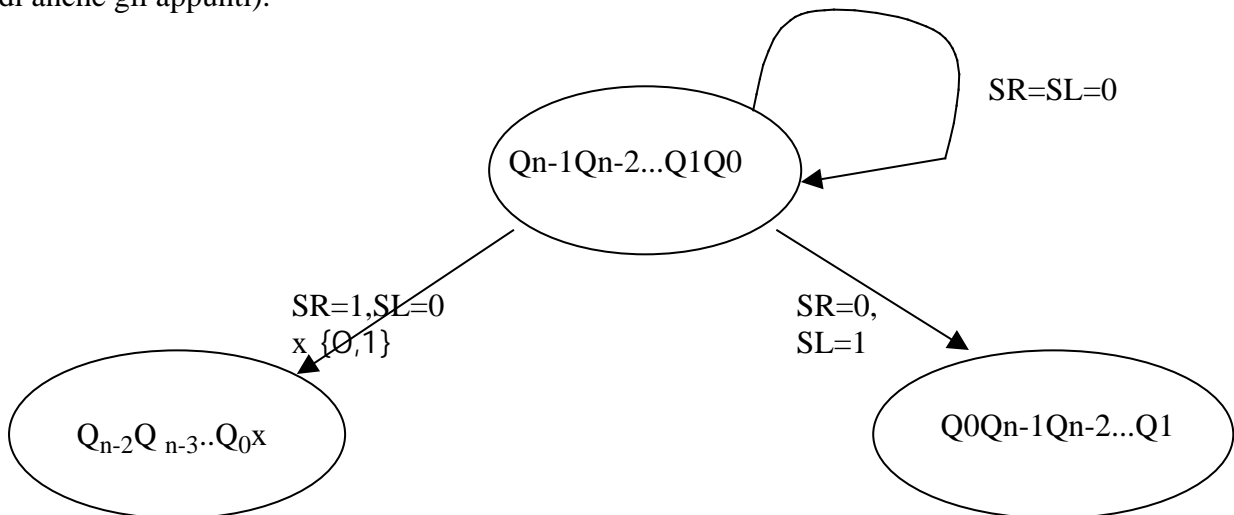
Se ne riporti una implementazione circuitale.

## Soluzione.

Questo esercizio è una variazione del registro a scorrimento, o *shift register*, o SISO, visto a lezione.

Supponiamo che il registro a slittamento abbia  $n$  FF, e supponiamo che, nell'istante  $t$ , il registro memorizzi l'informazione  $Q_{n-1}...Q_0$

Poichè l'output di un registro coincide con l'informazione in esso memorizzata, e dunque con il suo stato, possiamo rappresentare la generica transizione da un generico stato nel seguente modo (vedi anche gli appunti).



Come detto nel testo, la condizione  $SR=SL=1$  non è ammessa, perchè non avrebbe alcun significato.

Se  $SR=SL=0$ , il registro permane nel suo stato.

Se il segnale *shift-right* ( $SR$  per brevità) è alto, al successivo fronte di clock l'informazione slitta di una posizione verso destra, ed il FF  $FF_0$  memorizza un nuovo bit dall'ingresso  $x$ , esattamente come un normale registro a scorrimento (shift register, o SISO).

Avrò cioè, per FF di tipo D:

$$D_0(t+1) = SR \cdot x(t)$$

$$D_i(t+1) = SR \cdot Q_{i-1}(t) \quad i = 1, 2, 3, \dots, n-1$$

Fin qui, proprio come un registro SISO.

In più, se il segnale *shift-left* è alto ( $SL$ ), al successivo fronte di clock l'informazione nel registro slitterà di una posizione verso sinistra.

$$D_i(t+1) = SL Q_{i+1}(t) \quad i = 0, 1, \dots, n-2$$

$$D_{n-1} = SL 0 \quad \text{oppure} \quad D_{n-1} = SL Q_0(t)$$

Notate che ho due soluzioni possibili per “riempire” il FF più significativo (n-1) quando slitto verso sinistra: o immetto uno zero, o immetto il contenuto del FF meno significativo (in questo secondo caso ho realizzato un registro shift left right AD ANELLO).

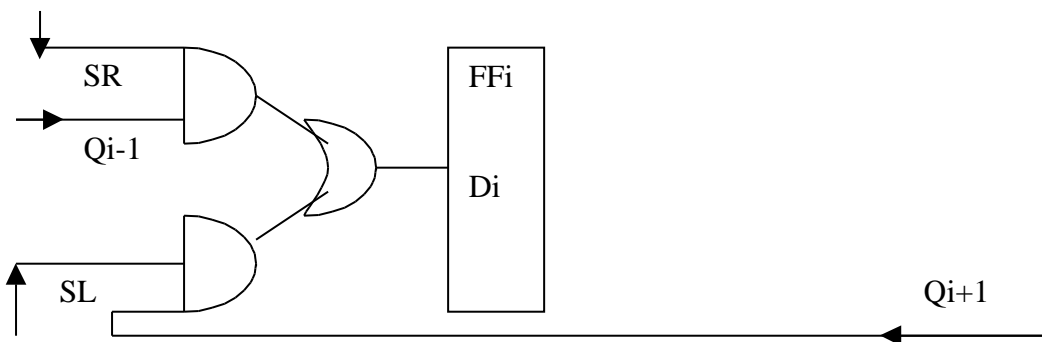
Complessivamente quindi ho:

$$D_0 = SR x + SL Q_1$$

$$D_i = SR Q_{i-1} + SL Q_{i+1} \quad i = 1, 2, \dots, n-2$$

$$D_{n-1} = SR Q_{n-2} + SL Q_0$$

Lo schema circuitale è immediato dalle espressioni booleane. Qui si riporta lo schema del generico FF interno del registro (omettendo per brevità l'input di clock). Come osservato a lezione, il fronte di clock deve essere bloccato se  $SR=SL=0$ , altrimenti si azzererebbe il contenuto dell'intero registro.

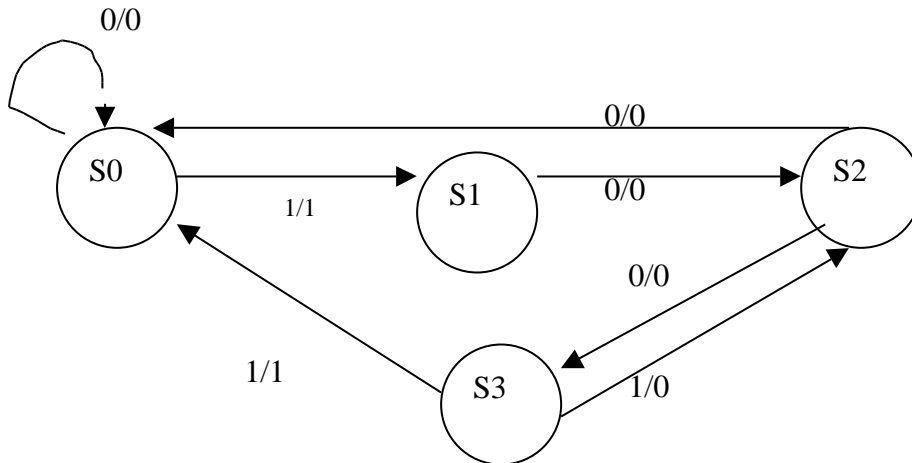


**Esercizio 2.** (9 punti) Si progetti un sistema sequenziale la cui uscita vada ad 1 (e quindi torni a zero) una volta riconosciuta la sequenza  $1(01)^*1$ .

$(01)^*$  significa **da 0 a infinite** presenze della coppia 01.

Le sequenze riconosciute non devono essere sovrapposte, ovvero: una volta riconosciuta una sequenza  $1(01)^*1$ , e prodotto un 1, il sistema ritorna nello stato di partenza. (In altre parole: l'ultimo 1 di una sequenza non può sovrapporsi col primo 1 di una sequenza successiva).

### Soluzione Es. 2



Notate che la sequenza 11 è un'istanza di  $1(01)^*1$  (\*= da **zero** a infinite coppie...).

Minimizzando, gli stati S1 e S3 sono indistinguibili, ed anche gli stati S0 e S2. L'automa è dunque riducibile a due stati Sa e Sb.

Dunque, è necessario un solo FF di tipo D.

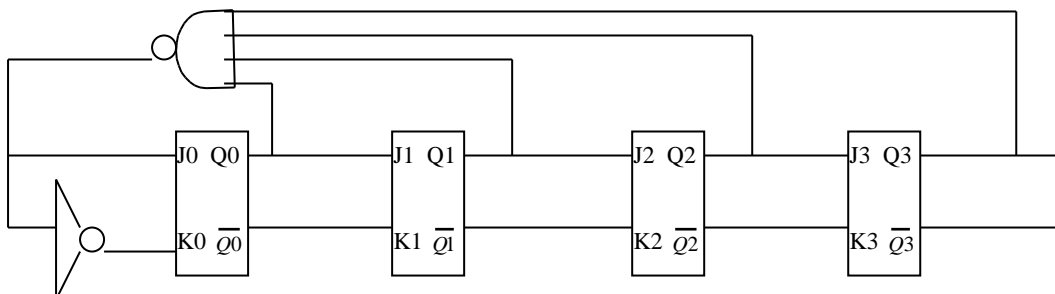
Le EB di D e dell'uscita sono:  
 $D = \overline{Q}x$   
 $y = Qx$

Nota: gli esercizi di sintesi vanno risolti completamente, a meno che non sia esplicitamente detto che basta disegnare l'automa!!! La presente soluzione è sintetica, ma agli studenti si richiede di evidenziare tutti i passi, fino allo schema circuitale.

## Compito B

### Esercizio 1. (6 punti)

Analizzare il seguente circuito sequenziale, ricavando il diagramma di stato.



**Soluzione:**

$$K_i = \overline{Q_i} \quad (i = 0,1,2,3)$$

$$J_0 = \overline{Q_0 Q_1 Q_2 Q_3}$$

$$J_1 = Q_0$$

$$J_2 = Q_1$$

$$J_3 = Q_2$$

Q3Q2Q1Q0	J3K3 J2K2 J1K1 J0K0	Q3Q2Q1Q0 (t+1)
0000	01 01 01 10	0001
0001	01 01 10 10	0011
0010	01 10 01 10	0101
0011	01 10 10 10	0111
0100	10 01 01 10	1001
0101	10 01 10 10	1011
0110	10 10 01 10	1101
0111	10 10 10 10	1111
1000	01 01 01 10	0001
1001	01 01 10 10	0011
1010	01 10 01 10	0101
1011	01 10 10 10	0111
1100	10 01 01 10	1001
1101	10 10 01 10	1011
1110	10 10 01 10	1101
1111	10 10 10 01	1110

Gli stati S0 S2 S4 S6 S8 S10 S12 sono irraggiungibili, quindi vanno eliminati.

**Esercizio 2. (9 punti)**

Un distributore di bibite da 50 cent. accetta solo monete da 50 cent. e da un euro. Come resto, fornisce al massimo 50 cent., e espelle ogni moneta immessa successivamente alla prima, o monete di altro taglio.

Una volta immessa una moneta, il consumatore deve selezionare una bibita. La bibita ed il resto eventuale vengono emessi solo dopo l'avvenuta selezione della bibita.

La selezione della bibita non viene riconosciuta se effettuata prima dell'immissione del denaro. La sequenza dunque è: immissione moneta, selezione bibita.

Una volta immessa una moneta, se la selezione della bibita da parte del consumatore non avviene entro un certo tempo massimo, viene espulsa la moneta immessa, ed il sistema torna nello stato iniziale.

Progettare il circuito sequenziale relativo, secondo il metodo visto a lezione.

**Soluzione**

Osservate che il testo dice che l'immissione di monete di taglio diverso da quelle previste, o in numero superiore ad una moneta, non vengono rilevati dall'automa, e non vanno dunque considerati come casi di input possibili. Allo stesso modo, la pressione del pulsante selezione prima di inserire

una moneta da 50 c. o da 1 euro non viene considerato come un caso di input possibile per l'automa. In pratica, è la parte meccanica del distributore che gestisce questi casi non previsti, espellendo le monete non accettabili o in più, e non generando alcun input per l'automa (cioè, per la parte digitale) se il tasto S viene premuto prima del dovuto. L'automa gestisce solo i comportamenti previsti.

Perciò abbiamo solo un numero di eventi limitati in ingresso:

1. Non viene immesso denaro valido
2. viene immessa una moneta da 50 c
3. viene immessa una moneta da 1 euro
4. viene premuto il tasto selezione dopo l'immissione di 50 c
5. viene premuto il tasto selezione dopo l'immissione di 1 euro
6. si verifica un time out dopo l'immissione di una moneta valida

In uscita, possono essere eseguite le seguenti azioni:

- a. non viene emessa nè bibita nè resto
- b. viene emessa una bibita, e nessun resto
- c. viene emessa una bibita e 50 c. di resto
- d. non viene emessa la bibita, e vengono restituiti 50 c
- e. non viene emessa la bibita, evengono restituiti 1 euro

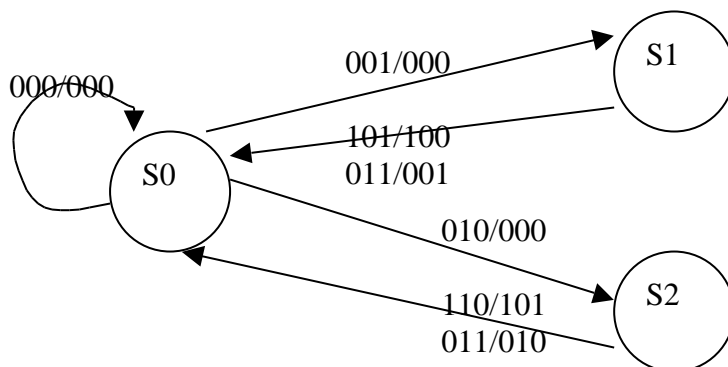
Sono necessari 3 bit in ingresso, e tre in uscita, benchè molte configurazioni non risultino utilizzate. Codifichiamo ad esempio l'input come segue:

1. 000
2. 001
3. 010
4. 101
5. 110
6. 011

E l'output come segue

- a. 000
- b. 100
- c. 101
- d. 001
- e. 010

L'automa è il seguente:



Occorrono 2 FF (di tipo D per semplificare).

Codifico gli stati come segue:  $S_0=00, S_1=01, S_2=10$

Chiamo  $x_2x_1x_0$  i 3 bit necessari per codificare l'input, e  $y_2y_1y_0$  i tre bit di output.

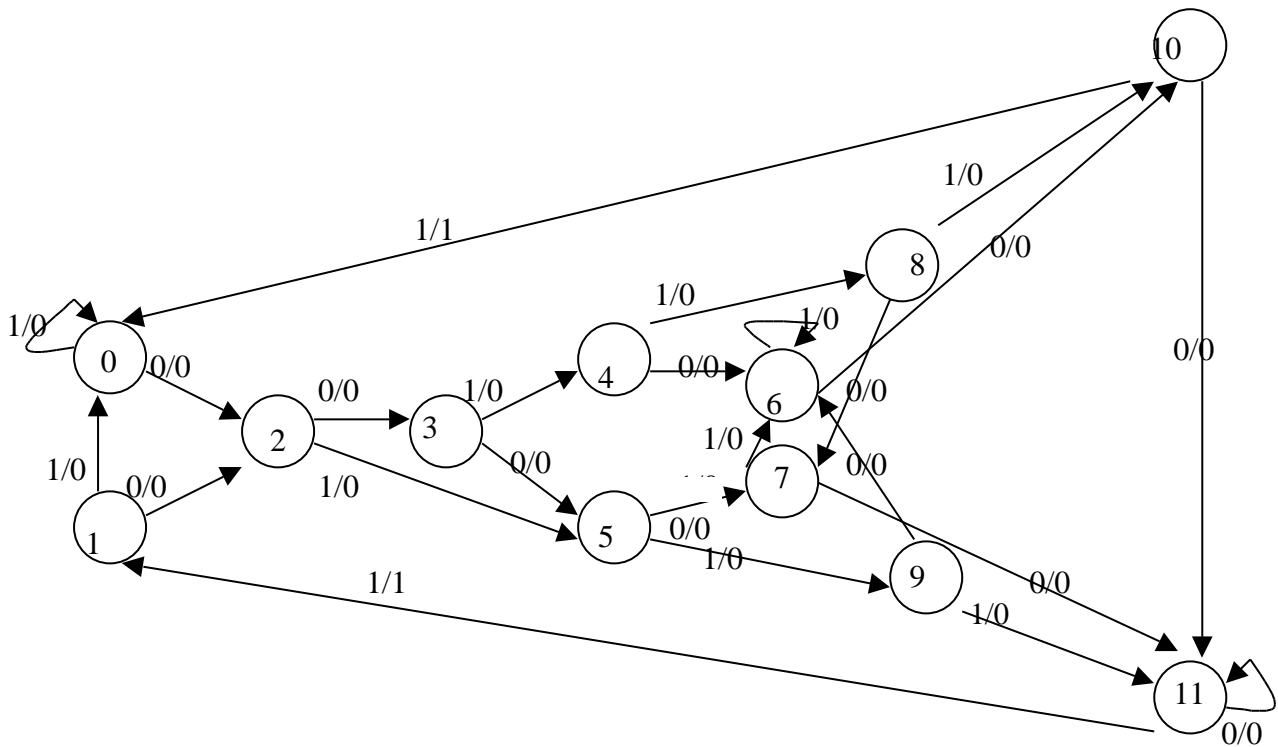
Nello scrivere la tabella degli stati futuri, osservate che molte combinazioni di input e stati non sono possibili, dunque ci sono molte caselle riempite con condizioni di indifferenza (don't care).

$x_2x_1x_0Q_1Q_0 (t)$	D1 D0	$Q_1Q_0 (t+1)$	$y_2y_1y_0 (output)$

## Compito C

### Esercizio 1. (7 punti)

Si minimizzi il seguente automa usando il metodo di minimizzazione (tabella triangolare) visto a lezione.



### Soluzione

Impostando la tabella triangolare, risultano indistinguibili le seguenti coppie di stati:  
 $[0,1]$   $[4,5]$   $[6,7]$   $[8,9]$   $[10,11]$

notate che le indistinguibilità si identificano nel seguente ordine:

$[0,1]$  a fronte degli stessi input transitano negli stessi stati e emettono gli stessi output

$[10,11]$  a seguito dell'indistinguibilità di  $[0,1]$

$[6,7]$  a seguito dell'indistinguibilità di  $[10,11]$

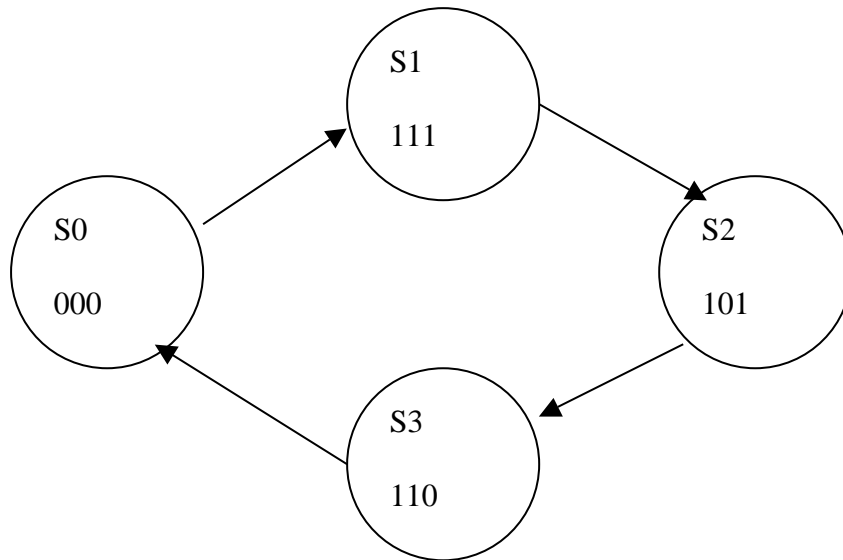
$[8,9]$  a seguito dell'indistinguibilità di  $[6,7]$  e  $[10,11]$

$[4,5]$  a seguito dell'indistinguibilità di  $[6,7]$  e  $[8,9]$

**Esercizio 2 (8 punti).** Si progetti il contatore della sequenza: 000,111,101,110,000.(ecc.)....usando il minimo numero di flip flop possibili. Si utilizzino FF di tipo JK.

**Soluzione**

L'automa di Moore è il seguente:



Le transizioni avvengono sui fronti di clock. L'automa non ha dunque input, ma ha tre output,  $y_2y_1y_0$ .

Essendoci 4 stati, sono sufficienti 2 FF, e codifico gli stati nel seguente modo:

S0:  $Q_1=0, Q_0=0$

S1:  $Q_1=0, Q_0=1$

S2:  $Q_1=1, Q_0=0$

S3:  $Q_1=1, Q_0=1$

Dunque:

$Q_1Q_0$	$J_1K_1 \ J_0K_0$	$Q_1Q_0(t+1)$	$y_2y_1y_0$
00	0x 1x	01	000
01	1x x1	10	111
10	x0 1x	11	101
11	x1 x1	00	110

le EB sono:

$$J_0 = K_0 = 1$$

$$J_1 = Q_0$$

$$K_1 = Q_0$$

$$y_0 = Q_0 \oplus Q_1 \text{ (XOR)}$$

$$y_1 = Q_0$$

$$y_2 = Q_0 + Q_1$$